UNIVERSITÉ de Picardie Jules Verne INSSET

CAMPUS universitaire de Saint-Quentin PÔLE TECHNOLOGIQUE

Description des UEs du Master Sytèmes Embarqués

code	libellé	semestre	ECTS	CM	TD	TP	Heures	effectif	nb gpe CM	nb gpe TD	nb gpe TP
Master 1ère année 1er semestre											
UE1S7	Transverse M1 Semestre 1	S7	12								
UE1S7	Capteurs et instrumentations	S7	3	8	0	12	20	50	1	2	3
UE1S7	Robotique (introduction)	S7	3	4	0	16	20	50	1	2	3
UE1S7	Outils de modélisation mécanique	S7	3	4	0	16	20	50	1	2	3
UE1S7	Objets connectés (introduction)	S7	3	8	0	12	20	50	1	2	3
UE2S7	Activité de mise en situation et Langue M1S1	S7	6							2	
UE2S7	Anglais	S7	2	8	12	0	20	50	3	3	3
UE2S7	Projet tuteuré/Alternance	S7	4	0	0	25	25	50	1	2	3
UE5S7	Spécialité M1 Semestre 1	S7	12								
UE5S7	Programmation des FPGA (introduction)	S7	3	16	0	24	40	20	1	1	1
UE5S7	Conception des ASICs (introduction)	S7	2	8	12	0	20	20	1	1	1
UE5S7	Objets connectés (avancé)	S7	3	16	0	24	40	20	1	1	1
UE5S7	Capteurs et réseaux sans fil	S7	2	8	0	12	20	20	1	1	1
UE5S7	Images et signaux numériques	S7	2	8	12	0	20	20	1	1	1
Master 1ère année 2ème semestre											
UE6S8	Transverse M1 Semestre 2	S8	9								
UE6S8	Management et suivi de projet	S8	3	8	0	12	20	50	1	2	3
UE6S8	Ingénierie de développement	S8	3	8	12	0	20	50	1	2	3
UE6S8	Langage de programmation	S8	3	4	0	16	20	50	1	2	3
UE7S8	Activité de mise en situation et Langue M1S2	S8	9								2
UE7S8	Anglais	S8	2	8	12	0	20	50	3	3	3
UE7S8	Projet tuteuré/Alternance	S8	3	0	0	25	25	50	1	2	3
UE7S8	Stage/Alternance	S8	4	0	0	0		50	1	2	3
UE10S8	Spécialité M1 Semestre 2	S8	12								
UE10S8	Architectures logicielles et systèmes	S8	4	16	24	0	40	20	1	1	1
UE10S8	Filtrage numérique	S8	4	16	12	12	40	20	1	1	1
UE10S8	OS multitâches	S8	4	8	0	32	40	20	1	1	1
Master 2ème année 1er semestre											
UE11S9	Transverse M2 Semestre 1	S9	6								
UE11S9	Conception des algorithmes en temps réel	S9	3	8	0	12	20	50	1	2	3
UE11S9	Normes et certifications	S9	3	8	12	0	20	50	1	2	3
UE12S9	Activité de mise en situation et Langue M2S1	S9	6								
UE12S9	Anglais	S9	2	8	12	0	20	50	3	3	3
UE12S9	Projet tuteuré/Alternance	S9	4	0	0	25	25	50	1	2	3
UE15S9	Spécialité M2 Semestre 1	S9	18								
UE15S9	Conception des ASICs (avancé)	S9	2	8	0	12	20	20	1	1	1
UE15S9	Systèmes sur puces (SOC)	S9	4	16	0	24	40	20	1	1	1
UE15S9	Application des ASICs	S9	4	16	0	24	40	20	1	1	1
UE15S9	Radiocommunication pour les SE (introduction)	S9	2	8	12	0	20	20	1	1	1
UE15S9	Architectures parallèles	S9	4	16	0	24	40	20	1	1	1
UE15S9	Conception des algorithmes embarqués (avancé)	S9	2	8	0	12	20	20	1	1	1
Master 2ème année 2ème semestre											
UE16S0	Activité de mise en situation et Langue M2S2	S10	18								
UE16S0	Anglais	S10	3	8	12	0	20	50	3	3	3
UE16S0	Projet tuteuré/Alternance	S10	5	0	0	25	25	50	1	2	3
UE16S0	Stage/Alternance	S10	10	0	0	0		50	1	2	3
UE19S0	Spécialité M2 Semestre 2	S10	12								
UE19S0	Traitement d'images embarqués	S10	4	8	12	10	30	20	1	1	1
UE19S0	Programmation des FPGA (avancé)	S10	4	16	0	24	40	20	1	1	1
UE19S0	Radiocommunication pour les SE (avancé)	S10	4	16	0	14	30	20	1	1	1